



(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)  
(12) PATENT REGISTRATION GAZETTE (B1)

(51) o Int. Cl. 6

H01L 21/66

(45) Publication Date: December 15, 1999

(11) Patent Registration No.: 10-0234492

(24) Grant Date: Sept. 16, 1999

(21) Application No. 10-1996-0020435

(22) Filing Date: June 8, 1996

(65) Laid-Open Publication No.: 1997-0003752

(43) Laid-Open Publication Date: January 28, 1997

(30) Priority: 95-142000 June 8, 1995 Japan

(73) Patentee: Machida Tensi Kogyo Co., Ltd. Mori Kazhiro  
1-1 Saiwaicho Dakachkisi Osakahu Japan

(72) Inventor: Asaumi Masazi  
111-1017 Saiinchkishzyo Ukyoku Kyotosi Kyotohu Japan  
Machda Yuzi  
1-11-9 Yanagawazyo Takachkisi Oosakkahu Japan

(74) Patent Attorney(s) Joonghoon SHIN, Oksoon LIM

Examiner : Jae Wook OH

(54) SEMICONDUCTOR DEVICE AND ITS DETECTING METHOD

**ABSTRACT**

A semiconductor device containing an adjustable voltage generator is provided to detect and memorize an optimum voltage by external control at the same time without requiring voltage regulation of an external driving circuit, and also a detecting method is provided. In the semiconductor device, a voltage generating unit comprises a plurality of capacities(21a)~(21e) each whose one electrode is connected to a common node(29), a potential change unit for switching a potential connected to the other electrode in each capacity, and a buffer amplifier(25) for receiving a voltage generated in the common node(29). An output signal from the buffer amplifier(25) is connected to a semiconductor integrated circuit. The potential change unit switches a potential connected to electrodes of each capacity into a power potential or a gland potential depending on whether a fuse connected between a power terminal(28) and each capacity(21a)~(21e) is cut.

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

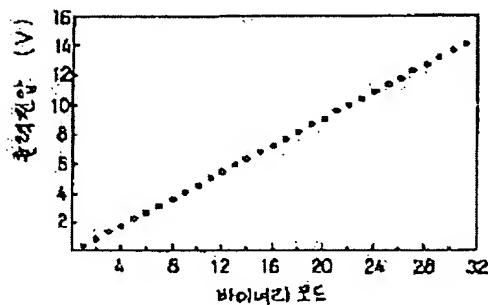
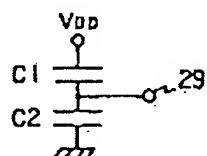
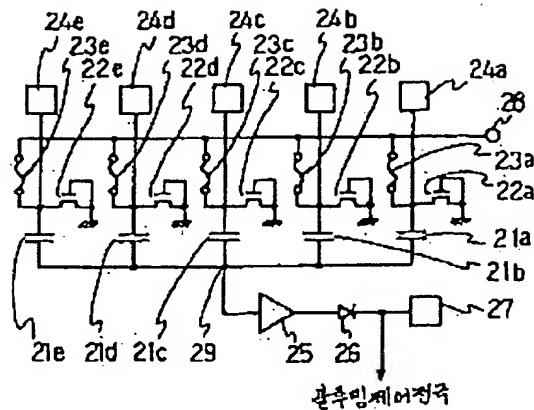
|   |  |
|---|--|
| (51) Int. Cl. <sup>6</sup><br>H01L 21/66  | (45) 공고일자 1999년12월15일<br>(11) 등록번호 10-0234492<br>(24) 등록일자 1999년09월16일 |
| (21) 출원번호 10-1996-0020435<br>(22) 출원일자 1996년06월08일<br>(30) 우선권주장 95-142000 1995년06월08일 일본(JP) | (65) 공개번호 특 1997-0003752<br>(43) 공개일자 1997년01월28일                      |
| (73) 특허권자 마쓰시다 덴시 고교 가부시키가미야 모리 가즈히로<br>일본국 오사카후 다카쓰키시 사이와이쵸 1-1                              |  |
| (72) 발명자 아사우미 마사지<br>일본국 교토후 교토시 우쿄쿠 사이인즈키쇼조 111-1017<br>마쓰다 유지                               |  |
| (74) 대리인 일본국 오오사카후 타카쓰키시 마나가와조 1-11-9<br>신증훈, 임옥순   |  |

설사과 : 오전록(54) 반도체장치와 그 검사방법**요약**

본 발명은, 전압발생부를 반도체장치에 내장시키고, 외부로부터의 제어에 의해서 전압의 최적치를 검출하는 동시에 기억기기으로서, 외부 구동회로의 전압조정을 불필요로 하는 반도체장치와 그 검사방법을 제공하는 것을 목적으로 한 것이다. 그 구성에 있어서, 전압발생부는, 한쪽의 전극이 공통노우드(29)에 접속된 복수의 용량(21a)~(21e)과, 이를 용량의 다른쪽의 전극이 접속되는 전위를 각각의 용량마다 절환하는 전위변경수단과, 공통노우드(29)에 발생하는 전압을 입력으로 하는 버퍼앰프(25)를 구비하고, 버퍼앰프(25)의 출력이 반도체집적회로에 접속된다.

전위변경수단은, 전원단자(28)과 각 용량(21a)~(21e)과의 사이에 접속된 퓨즈를 절단하는지 여부에 따라서 각 용량의 전극이 접속되는 전위를 전원전위 또는 글랜드전위로 절환하는 것을 특징으로 한 것이다.

## 15-2



## 15-3

[발명의 명칭]

반도체장치와 그 검사방법

[도면의 간단한 설명]

제1a도는 본 발명의 실시예1에 관한 반도체장치의 전압발생부의 회로도.

제1b도는 그 전압발생부의 등가회로도.

제1c도는 그 전압발생부에 부여하는 바이너리코드와 출력전압과의 관계를 표시한 그래프.

제2도는 본 발명의 실시예2에 관한 반도체장치의 전압발생부의 기본회로를 표시한 도면.

제3a도는 본 발명의 실시예3에 관한 반도체장치의 전압발생부의 회로도.

제3b도는 전압발생부에 부여하는 바이너리코드와 출력전압과의 관계를 표시한 그래프.

제4도는 본 발명의 실시예4에 관한 반도체장치의 전압발생부의 전극구조를 표시한 도면.

제5a도는 증류의 고체활성장치의 구성을 표시한 평면도.

제5b도는 그 단면도.

제5c도는 고체활성장치의 화소부의 포텐셜을 표시한 설명도.

제6도는 본 발명의 실시예5에 관한 반도체장치의 전압발생부의 기본회로를 표시한 도면.

제7도는 본 발명의 실시예6에 관한 반도체장치의 전압발생부의 기본회로를 표시한 도면.  
 제8도는 본 발명의 실시예7에 관한 반도체장치의 전압발생부의 기본회로를 표시한 도면.  
 제9도는 본 발명의 실시예8에 관한 반도체장치의 전압발생부의 기본회로를 표시한 도면.  
 제10도는 본 발명의 실시예9에 관한 반도체장치의 전압발생부의 기본회로를 표시한 도면.  
 제11도는 본 발명의 실시예10에 관한 반도체장치의 전압발생부의 기본회로를 표시한 도면.

〈도면의 주요부분에 대한 부호의 설명〉

(21a)~(21g), (31), (55) : 용량  
 (22a)~(22g), (32), (56), (57), (59), (60) : 트랜지스터  
 (23a)~(23g), (33), (53) : 퓨즈  
 (24a)~(24g), (27), (34), (52) : 패드 (pad)  
 (25) : 버퍼앰프  
 (26) : 다이오드  
 (28), (51) : 전원단자  
 (29) : 공통노우드  
 (41), (42) : 전극층  
 (43) : 부유용량  
 (54), (59) : 저항  
 (58) : 전원

〔발명의 상세한 설명〕

본 발명은, 전압조정 가능한 전압발생부를 내장한 고체활성장치와 그 검사방법에 관한 것이다.

반도체장치중에는, 외부로부터 공급되는 전압의 조정을 요하는 것이 있다.

일례로서 고체활성장치를 들어서, 증래의 기술에 대해서 설명한다.

제5도 (a)에 증래의 고체활성장치의 구성예를 표시한다. 2차원 형상으로 배열된 광전다이오드(1)는 각 열마다 수직 CCD(2)에 접속되어 있다. 또 수직CCD(2)는 수평CCD(3)에 접속되어 있다. 또 수평CCD(3)는 전하검출을 경한 출력앰프(4)에 접속되어 있다. 광전다이오드(1)에 의해 광전변환되어서 발생한 신호전하는, 수직 CCD(2)로, 그리고 수평 CCD(3)로 순차적으로 전송되고, 출력앰프(4)에 의해 전압으로 변환되어서 출력된다. 미와같이 구성된 고체활성장치에서는, 구동전압의 조정을 요하는 부분이 2개소 존재한다. 그 중의 1개는 블루밍(blooming)억제 전압이며, 다른 1개는 출력앰프(4)에 있어서의 전하검출부의 리세팅압이다.

여기서, 블루밍억제전압에 대해서 설명한다. 강한광이 입사하면, 광전다이오드에 의해 발생한 신호전자가 넘쳐나와서 인접하는 광전다이오드나 수직CCD로 흘러 들어가는 현상, 소위 블루밍이 발생한다. 이 블루밍을 억제하기 위해서, 신호 전자가 인접한 광전다이오드나 수직 CCD로 흘러들어가기 전에 기판에 버리는 구조 (세로형 오버플로우드레인)나, 광전다이오드에 인접해서 전용드레인과 제어전극을 설치하고, 신호 전지기 인접의 광전다이오드나 수직 CCD로 흘러들어 가기전에 드레인으로 버리는 구조 (가로형 오버플로우드레인)가 사용되고 있다.

세로형오버플로우드레인에 대해서 간단히 설명한다. 제5도(b)에 제5도(a)의 A-A'선을 따른, 세로형오버플로우드레인 방식의 광전다이오드 및 인접한 수직CCD의 단면구조를 표시한다. 또, 제5도(c)에 제5도(b)의 B-B'-B''선을 따른 포텐셜도를 표시한다. 광전다이오드(7)에 의해 입사광량에, 비례한 신호전자(15)가 축적된다. 포텐셜(12)에 표시한 바와같이, P형영역(6)의 포텐셜이, 광전다이오드(7)와 수직CCD(10)와의 사이의 장벽포텐셜(제5도(c)의 9.6)보다 낮으면, 광전다이오드(7)에 축적된 신호전자(15)의 일부가 수직CCD(10)에 흘러들어가 버린다. 포텐셜(14)에 표시한 바와같이, 실리콘기판(5)에 인가하는 전압(16)을 높게하면 P형영역(6)의 포텐셜이 높아지고, 신호전자(15)가 수직CCD(10)의 오버플로우하기 전에 기판에 배출된다. 이상에서 알수 있는 바와같이, 기판(5)에 인가하는 전압(16)을 높여가면 블루밍억제능력은 높아지나, 다이오드(7)에 축적할 수있는 신호전자(15)의 양 즉 포화신호가 감소한다. 따라서, 제5도(c)에 표시한 포터셜(13)이, 블루밍을 억제하면서 포화신호(축적량)를 최대로하는 최적설정이 된다. 또 한 제5도(b)에 있어서, (8) 및 (9)는 P형영역이며, (11)은 전극이다.

그러나, 증래의 반도체장치에는, 미하와 같은 문제가 있었다.

먼저, 상술한 고체활성장치에 있어서의 블루밍억제와 같이, 최적한 전압을 기판이나 제어전극에 인가할때, 제조공정의 불균일등에 기인해서, 침마다 최적전압이 다르기 때문에, 외부회로에서 전압조정을 행할 필요가 있다. 또, 증래의 반도체장치의 검사방법에서는, 외부로부터의 인가전압을 바꾸면서 최적전압을 검출할수는 있으나, 염여진 최적전압의 정보를 반도체장치의 내부에 남길 수 없다.

본 발명은, 상기와 같은 증래의 과제를 해결하기 위해서, 전압 발생부를 반도체장치에 내장시키고, 외부로부터의 제어에 의해서 전압의 최적치를 검출하는 동시에 기억시키므로서, 외부구동회로의 전압보정을 불필요로 하는 고체활성장치와 그 검사방법을 제공하는 것을 목적으로 한다.

본 발명의 고체활성장치는, 반도체기판상에 광전변환에 의해 신호전하를 발생하는 광전변환수단과, 상기 광전변환수단에서 발생한 신호전하를 과잉전하를 배출하는 과잉전하배출수단과, 상기 광전변환수단에서 축적하는 신호전하량을 조정하는 전압을 상기 과잉전하배출수단에 인가하는 전압발생수단을 형성한 고체활성장치로써, 상기 전압발생수단은 한쪽의 전극이 공통노드에 접속된 복수의 용량과, 이를 용량의 다른 쪽의 전극이 접속되는 전위를 각각의 용량마다 절환하는 전위변경수단을 구비하고, 상기 공통노드에 발생하는 전압에 따른 출력전압을 상기 전압발생수단으로부터 출력해서 상기 과잉전하배출수단에 입력하는 것을 특징으로 한다.

상기의 구성에 의하면, 반도체진적자로의 동작에 필요한 전압이 반도체장치내부에서 만들어지고, 또한 그 전압을 전위변경수단에 의해서 조정할 수 있으므로, 외부 회로에 의해 전압조정을 행할 필요가 없다. 즉, 복수의 용량의 접속선(先)을 각 용량마다, 예를들면 전원전위 또는 글랜드전위로 절환하므로서, 복수의 용량의 공통노우드에 얹어지는 전압은 전원전위로부터 글랜드전위까지 변화한다.

상기 반도체진적회로는, 예를들면, 신호전하를 축적하는 광전변환부와 그것에 인접해서 과잉전하를 배출하는 수단을 가진 고체활성장치의 회로이며, 상기 버퍼앰프의 출력이 다이오드를 개재해서 상기 과잉전하 배출수단에 접속된다. 이 구성에 의해, 과잉전하배출수단에 정상적으로 직류 전압을 인가하면서, 외부로부터 젤스전압을 인가하는 구동 (소위 전자셔터구동)이 행해진다.

혹은, 상기 반도체진적회로가, 신호걸출수단과 그 전위를 리세트하는 수단을 가진 고체활성장치의 회로이며, 상기 버퍼앰프의 출력이 다이오드를 개재해서 상기 리세트수단에 접속된다. 이 구성에 의하면, 리세트수단에 정상적(正常的)으로 직류전압을 인가하면서, 외부로부터 젤스전압을 인가하는 통상의 리세트 동작이 행해진다.

바람직하기는, 상기 용량의 개수가  $n$ 개이고, 이를 용량의 용량치가  $1 : 2 : 4 : \dots : 2^n$ 이 되도록 설정된다. 용량의 접속성(先)이 각용량마다 전원전위 또는 글랜드전위로 절환하는 경우, 전원·글랜드간의 전압을  $(2^n - 1)$ 등분한 전압스텝에서,  $2^n$ 정도의 전압을 얻을 수 있다.

더욱 바람직하기는, 상기 용량의 개수가  $n + 2m$ 개이며, 그 중,  $n$ 개의 용량의 용량치가  $1 : 2 : 4 : \dots : 2^n$ 이 되도록 설정되고,  $2m$ 개의 용량은  $n$ 증류의 용량치의 용량을 2조 구비한 것이며, 상기  $n$ 증류의 용량치가  $1 : 2 : 4 : \dots : 2^n$ 이 되도록 설정된다. 이 경우,  $2^n$ 정도의 전압중에서 일단 설정한 전압을 전원글랜드간의 전압(  $2^n - 1 + 2^m$  )등분한 전압스텝에서 미(微)조정할 수 있다.

또, 상기 전위변경수단이, 퓨즈를 절단하는지 여부에 따라서 각용량의 전극이 접속되는 전위를 절환하는 것이 바람직하다. 이 경우, 간편하고 또한 확실한 전위변경을 행할 수 있다. 또한 구체적으로는, 전위변경수단을, 퓨즈와 저항을 사용해서 구성할 수 있다. 예를들면, 각 용량의 전극을 퓨즈를 개재해서 전원에, 저항을 개재해서 글랜드에 각각 접속하면 된다. 저항에 대신해서, 트랜지스터를 사용해도 된다. 이 경우, 디플리션(depletion)타입의 트랜지스터를 사용해서 게이트전위와 소스전위를 동등하게 하면, 트랜지스터의 문상태의 비교적 낮은 저항을 이용할 수 있으므로 안정된 동작을 얻을 수 있다. 인한스먼트타입(enhancement type)의 트랜지스터를 사용해서 게이트전위를 소스전위보다 소정전압만큼 높게해도 마찬가지의 효과를 얻을 수 있다.

또, 상기 용량을 형성하는 1쌍의 전극총중, 기판에 가까운 쪽의 전극총을 상기전위변경수단을 재개해서 소정의 전위에 접속하는 것이 바람직하다. 즉, 기판으로부터 멀리의 전극을 공통노우드에 접속한다. 이 구성에 의해서, 기판과 전극과의 사이에 발생하는 부유용량의 악영향을 억제할 수 있다.

다음에, 본 발명에 의한, 상기와 같은 고체활성장치의 검사방법은, 외부로부터 부여하는 전압발생수단에 따라서 상기 복수의 용량의 전극이 접속되는 전위를 각각의 용량마다 절환하고, 상기 전압발생수단을 순차 변화시키므로서 상기 버퍼앰프의 출력전압을 단계적으로 변화시키고, 상기 출력전압이 최적치가 되었을 때의 전압발생수단을 기억해두고, 다음에, 기억한 전압발생수단에 의거해서, 출력전압의 최적치를 정상적으로 얻을 수 있도록 상기 전위변경수단을 제어하는 것을 특징으로 한다.

상기와 같은 검사방법에 의하면, 반도체장치에 내장된 전압발생부의 전압조정과 전위변경수단을 제어하는 것에 의한 기록을 연속해서, 또한, 직접적으로 행할 수 있다. 이 경우, 반도체장치에 내장된 전압발생부의 구성에 따라서, 출력전압이 최적치가 되었을 때의 바이너리코드와 동일한 바이너리코드, 혹은, 그 보수(1의 보수)의 바이너리코드를 부여해서 전위변경수단을 제어하면 된다. 이에의해, 최적전압의 기록을 간편하게 행할 수 있다.

또, 전위변경수단의 제어에 의한 최적전압의 기록을, 상기 반도체회로의 특성상 가 때에 행하므로서, 정확한 전압설정이 행해진다.

이하, 본 발명의 실시형태를 몇개의 실시예를 시용해서 구체적으로 설명한다.

#### [실시예 1]

제 1도 (a)는, 본 발명을 고체활성장치에 적용한 실시예의 회로도이다.

용량(21a)의 한쪽의 전극을 공통노우드(29)에 접속하고, 다른쪽의 전극을 트랜지스터(22a)를 개재해서 글랜드에, 또, 퓨즈(23a)를 개재해서 전원단자(28)에, 또, 패드(24a)에 접속한것을 기본회로로 하고 있다. 이 기본회로를  $n$ 개 복사를 접속하고, 공통노우드(29)를 버퍼앰프(25)에 입력하여, 그 출력을 다이오드를 개재해서 반도체기판등의 블루밍제어전극 및 패드(27)에 접속한다. 제 1도 (a)는  $n = 5$ 의 예를 표시하고 있다. 이때, 각 용량(21a) ~ (21e)의 용량치 ca-ce는, 다음식 ①의 관계를 충족하도록 설정된다.

$$16C_a = 8C_b = 4C_c = 2C_d = C_e \dots ①$$

용량(21a), 트랜지스터(22a), 퓨즈(23a), 및 패드(24a)로 이루어진 기본회로의 동작을 설명한다. 먼저, 퓨즈(23a)가 접속되어 있는 상태에서는, 전원(28)으로부터 퓨즈(23a), 트랜지스터(22a)를 개재해서 글랜드에 도달하는 회로가 형성된다. 이때, 트랜지스터(22a)는 오프상태이기 때문에, 드레인·소스간 저항은 수백의 고저항치가 된다. 퓨즈(23a)는 수백오미기 때문에, 용량(21a)의 패드쪽 전극은 전원(28)과 대략 동일전위가 된다.

다음에, 퓨즈(23a)가 절단되었을 경우, 이 회로는 전원으로부터 완전히 분리된다. 따라서, 용량(21a)의 패드쪽전극은 트랜지스터(22a)의 드레인·소스간의 고저항을 개재해서 글랜드전위로 된다. 즉, 퓨즈를 절단하는 여부에 따라서, 용량(21a)의 패드쪽전극의 전위를 전원전위 또는 글랜드전위로 설정할 수 있다.

상기와 같은 기본회로가 5개별령점속된 전압발생부의 등가회로는 제 1도 (a)와 같이 표시할수 있다. 이 도면에 있어서, 전원쪽의 용량치 C<sub>1</sub>은, 제 1도의 용량(21a)~(21e)중, 퓨즈가 절속된 그대로의 기본회로의 용량의 합성치에 상당한다. 한편, 글랜드쪽의 용량치 C<sub>2</sub>는, 퓨즈가 절단된 기본회로의 용량의 합성치에 상당한다. 이때, 공통노우드(29)에는 다음식 ②에서 표시되는 전압 V<sub>0</sub>이 발생한다.

$$V_0 = VDD \times C_1 / (C_1 + C_2) \dots ②$$

여기서, C<sub>1</sub> + C<sub>2</sub>는 용량(21a) ~ (21e)의 전체합승치이므로,

$$C_1 + C_2 = C_a + C_b + C_c + C_d + C_e \dots ③$$

로 표시할 수 있다. 또 식 ①의 관

$$V_0 = VDD \times C_1 / 31C_a \dots ④$$

즉, 전원쪽의 용량치C<sub>1</sub>에 비례한 전압V<sub>0</sub>을 얻을 수 있다. 따라서, 퓨즈 (23a)~(23e)를 선택적으로 절단하므로서, 전원전압을 31등분한 스텝에서 허망하는 전압을 발생할 수 있다. 이와같이해서 발생한 전압은, 버퍼애프(25)에 의해저 임피던스회하고, 또 다이오드 (26)를 통과해서 블루밍제어전극에 인가된다.

제 1도 (c)는 제 1도 (a)에 표시한 회로의 고체활성장치에 있어서, 퓨즈 (23a) ~ (23e)를 선택적으로 절단했을 때의 패드 (27)에 출력되는 전압을 특정한 결과를 표시한다. 여기서 획득의 숫자 0~32는 퓨즈 (23a)~(23e)의 상태를 10진수에 의해 표시한 것이다. 각 퓨즈의 절속 상태를 1, 절단상태를 0으로하고, 또 퓨즈(23a)를 LSB(Least Significant Bit), (23e)를 MSB(Most Significant Bit)로 해서 표시한 바이너리코드 '00000'~'11111'에 대응하고 있다. 또, 전원전압이 15V에서의 측정치이다.

다음에 본 발명에 관한 반도체장치의 검사방법에 대해서 설명한다.

제 1도 (a)에 표시한 고체활성장치에 있어서, 먼저, 패드 (24a)~(24e)에 푸로브 (probe)를 접촉시킨다. 다음에, 이를 푸로브로 부터 전원전위를 1, 글랜드전위를 0으로하고, 또 패드(24a)를 LSB, 패드(24c)를 MSB로 해서 표현한 바이너리코드 '00000'~'11111'에 전위를 순번을 인가한다. 이때, 전원단자(28)는 해방상태로 해둔다.

패드에 전원전위를 부여하면, 전원을 전원단자(28)에 접속하고, 또한, 퓨즈를 접속한 그대로의 상태와 동등한 상태가 형성된다. 한편, 패드에 글랜드 전위를 부여하면, 퓨즈를 절단한 상태와 동등한 상태가 형성된다. 즉, 퓨즈를 실제로 절단하지 않아도 블루밍제어전극의 전위를 바꿀 수 있다. 이와같이해서, 활성소자의 특성을 모니터하면 서바이너리코드를 바꾸어가서, 블루밍제어전극의 최적전위를 결정할 수 있다.

다음에, 최적전위가 되었을때의 바이너리코드의 "0"과 "1"을 바꾸어넣은 코드 (보수)를 발생하고, 푸로브로부터 부여하는 전압을 승압해서 퓨즈를 절단한다.

이에 의해 최적전압이 반도체장치에 기록 된다. 이와같은 일련의 조작에 의해서 최적전압의 검출과 기록을 간편하게 또한 직접적으로 행할 수 있다.

### [실시예 2]

다음에, 본 발명의 제2실시예를 설명한다. 본 실시예도 제 1실시예와 마찬가지의 고체활성장치에 적용한 예이며, 그 전압발생부의 기본회로가 제2도에 표시되어 있다. 제 1실시예에 있어서의 기본회로와 다른것은, 퓨즈(33)가 용량과 글랜드와의 사이에 접속되어 있는것, 트랜지스터(32)의 드레인이 전원(28)에 접속되어 있다는 것이다. (34)는 패드이다. 이 기본회로의 동작은 제 1실시예와 마찬가지이나, 퓨즈(33)가 접속상태일때에 용량(31)의 패드쪽전극은 글랜드 전위가 되고, 퓨즈(33)를 절단하면 용량(31)의 패드쪽전극은 전원(28)과 동일전위가 된다.

이 기본회로를 n개별령접속하고, 각 기본회로의 용량의 용량치를 2배, 4배, ..., 2<sup>n-1</sup>배에 설정하면, 제1 실시예와 마찬가지로 해서 글랜드전위로부터 전원전압까지의 소망의 전압을 얻을 수 있다.

이 반도체장치의 검사방법에 대해서도, 제1실시예에서 설명한 방법과 마찬가지의 방법을 취할 수 있다. 단, 퓨즈를 절단하는지 여부에 따라서 설정되는 전극전위가 제1실시예의 경우와 반대가 되므로, 최적전위를 검출하기 위해서 부여하는 바이너리코드와, 퓨즈절단용의 바이너리코드가 일치한다.

### [실시예 3]

제 3도 (a)에 본 발명의 제 3실시예의 회로도를 표시한다. 제 1도 (a)에 표시한 제 1실시예와 다른 것은, 기본회로가 5개에서 7개를 증가하고, 그 중의 1개의 기본회로가 제2실시예에서 표시한 구성을 가지는 것이다. 용량(21f), (21g)의 용량치 C<sub>f</sub>, C<sub>g</sub>는 동등하고, 다른 5개의 용량(21a)~(21e)에 용량치와 절접적인 관계는 없으나, 설명의 편의상 C<sub>f</sub> = C<sub>g</sub> = C<sub>e</sub>로 한다. 용량(21a)~(21e)에 관한 기능은 제 1실시예와 동일하다. 즉, 용량(21a)~(21e)에 의해서 블루밍역제 전압의 최적치가 설정된다.

이 최적치로서의 출력전압은, 전원전압(28)이 바뀌면 그에 따라서 바뀐다.

또, 제 1도 (a)의 회로에서는, 퓨즈(23a)~(23e)의 선택적절단에 의해서 결정한 블루밍역제전압을 후에 바꾸고 싶을 경우에 대응할 수 없다. 제 3도 (a)에서 추가된 2개의 기본회로는 상기와 같은 경우에 출력전압의 미소한 조정을 가능하게 하기 위한 것이다. 즉, 퓨즈(23f)를 절단하면 용량(21f)이 글랜드 쪽 용량C<sub>2</sub>에 가해지고, 퓨즈(23g)를 절단하면 용량(21g)이 전원쪽용량C<sub>1</sub>에 가해진다.

따라서, 용량(21a)~(21e)에 의해 설정한 전압에 대해서, ±VDD / 33의 범위내에서 미소한 조정을 행할 수 있다. 제 3도 (b)는 제 1도 (a)에 표시한 출력전압에, 상기한 미소한 조정에 의해서 얻어지는 출력전압을 겹쳐서 표시한 것이다.

### [실시예 4]

다음에, 본 발명의 제 4실시예의 반도체장치의 구조에 대해서 설명한다.

제 4도에 표시한 바와같이, 용량부는 2층의 전극으로 이루어지고, 제1층전극(41)을 퓨즈에 의해서 전위를 절환하는 전극으로하고, 제2층전극(42)을 공통노우드(29)에 접속한다. 이렇게 하므로서, 부유용량의 영향을 저감하고, 저밀도가 높은 전압발생회로로 할 수 있다. 즉 제1층전극(41)과 반도체기판과의 사이에는 큰 부유용량(43)이 존재한다. 이것을 노우드(29)에 접속하면, 부유용량(43)이 글랜드쪽용량C2에 가해지고, 그결과, 전압조정범위의 최대치가 저하된다. 그래서, 제 4도에 표시한 바와같이, 제1층전극(41)을 전위 절환전극으로하면, 이 전극이 전원전위로 되든지 글랜드전위로 되든지, 부유용량(43)이 출력전압에는 영향을 끼치는 일은 없다.

이와같이, 반도체 기판에 가까운 쪽의 제1층 전극을 퓨즈에 의해서 전위를 절환하는 전극으로 하고, 제2층전극을 노우드(29)에 접속하므로서, 부유용량의 영향을 저감하고, 발생전압의 범위를 크게 할 수 있다.

#### [설시예 5]

제 6도에 본 발명의 제6설시예의 기본회로를 표시한다. (51)은 전원단자, (52)는 패드, (53)은 퓨즈, (54)는 저항, (55)는 용량이다. 이 기본회로는, 제1설시예의 기본회로와 마찬가지로, 퓨즈(53)를 절단하지 않을 때는 용량(55)의 패드쪽전극은 글랜드전위가 된다. 제1설시예의 기본회로와 다른점은, 제1도에 있어서의 트랜지스터(22a)가 제6도에서는 저항(54)으로 치환되어 있는 것이다.

퓨즈(53)를 절단하지 않을 때, 용량(55)의 패드쪽전극은 퓨즈(53)의 저항성분과 저항(54)에 의해 전원전압을 분할한 전압이 된다. 이 전압을 전원전압에 접근시키기 위해, 그리고 소비전력을 억제하기 위해서, 저항(54)의 저항치는 큰 쪽이 좋다. 퓨즈(53)를 절단했을 때는, 용량(55)의 패드쪽전극은 저항(54)을 개재해서 글랜드전위에 접속된다.

#### [설시예 6]

제 7도에 본 발명의 제6설시예의 기본회로를 표시한다. 제1설시예의 기본회로와 다른점은, 제1도에 있어서의 트랜지스터(22a)가 제7도에서는 디플리션타입의 트랜지스터(56)로 치환되어 있다는 것이다.

퓨즈(53)를 절단하지 않을 경우, 트랜지스터(56)는 온 상태이며, 전원(51)으로부터 퓨즈(53), 트랜지스터(56)를 통과해서 글랜드에 이르는 회로가 형성된다. 용량(55)의 패드쪽전극의 전위는, 트랜지스터(56)의 드레인전류와 퓨즈(53)의 저항성분에 의해서 결정되는 전압강하분만큼 전원전압보다 낮은 전압이 된다.

이 전압을 전원전압에 접근시키기 위해서, 또 소비전류를 억제하기 위해서, 트랜지스터(56)의 한계치전압(VT)은 될수 있는 대로 0볼트에 가까운 것이 바람직하다.

퓨즈(53)를 절단하면, 이 회로는 전원로부터 분리된다. 트랜지스터(56)는 온 상태에 있으므로, 드레인전위는 게이트전압보다 한계치전압(VT)만큼 낮은 전압이 된다, 즉 용량(55)의 패드쪽전극의 전위는, 대략 글랜드 전위가 된다.

제 1설시예의 회로에서는, 트랜지스터의 오프상태에서의 고저항을 개재해서 글랜드전위에 접속되어 있으므로, 전극전위가 불안정하게 되는 염려가 있으나, 본 설시예의 회로에서는 트랜지스터가 항상 온 상태이므로, 안정된 동작을 얻을 수 있다.

#### [설시예 7]

제 8도에 본 발명의 제 7설시예의 기본회로를 표시한다. 제 1설시예의 기본회로와 다른 점은, 인한스먼트타입의 트랜지스터(57)의 게이트·소스간에 순방향 전압을 인가하는 전원(58)이 구비되어 있는 것이다. 이 회로는, 제 6설시예의 회로와 마찬가지의 동작을 행한다.

#### [설시예 8]

제 9도에 본 발명의 제 8설시예의 기본회로를 표시한다. 이 기본회로는 제 2도에 표시한 제2설시예의 기본회로에 있어서, 트랜지스터(32)를 저항(제 9도의 (59))에 의해 치환한 것이다.

퓨즈(53)를 절단하지 않을 때, 용량(55)의 패드쪽전극은 퓨즈(53)의 저항성분과 저항(54)에 의해 전원전압을 분할한 전압이 된다. 이 전압을 글랜드전위에 접근시키기 위해서, 그리고 소비전력을 억제하기 위해서, 저항(59)의 저항치는 큰 쪽이 좋다. 퓨즈(53)를 절단했을 때는, 용량(55)의 패드쪽전극은 저항(59)을 개재해서 전원전위에 접속된다.

#### [설시예 9]

제 10도에 본 발명의 제 9설시예의 기본 회로를 표시한다. 이 기본회로는 제 2도에 표시한 제2설시예의 기본 회로에 있어서, 트랜지스터(32)를 디플리션타입의 트랜지스터(제 9도의 (60))로 치환한 것이다.

전압의 절환동작은 제 2설시예의 기본 회로와 마찬가지이나, 제 6설시예의 회로에 있어서의 디플리션타입의 트랜지스터(56)와 동일한 작용을 트랜지스터(60)가 주효하므로, 안정된 동작을 얻을 수 있다.

#### [설시예 10]

제 11도에 본 발명의 제 10설시예의 기본회로를 표시한다. 이 기본회로는 제 9설시예의 회로에 있어서의 디플리션타입의 트랜지스터(6)를, 인한스먼트타입의 트랜지스터(61)와, 그 게이트·소스간에 순방향전압을 인가하는 전원(58)으로 치환한 것이다. 동작은 제 9설시예의 기본 회로와 마찬가지이다.

이상 설명한 바와같이, 본 발명의 고체활상장치에 의하면, 반도체집적회로의 동작에 필요한 전압이 반도체장치내부에서 제작되고, 또한, 그 전압을 전위변경수단에 의해서 조정할 수 있으므로, 외부 회로에 의해 전압조정을 행할 필요가 없다. 또, 본 발명의 고체활상장치의 검사방법에 의하면, 반도체장치에 내장된 전압발생부의 전압조정과 전위변경수단을 제어하는 것에 의한 기록을 연속해서, 또한, 직접적으로 행할 수 있다.

또한, 상기 실시예는, 고체활상장치에 있어서의 블루밍역제전압에 관한 것이나, 리세트전압의 조정에 관해서도 마찬가지의 효과를 얻을 수 있다. 또, 본 발명은 고체활상장치에 한하지 않고, 여러가지의 반도체 장치에 적용할 수 있다.

#### (5) 청구항의 성격

##### 청구항 1

반도체기판상에 광전변환에 의해 신호전하를 발생하는 광전변환수단과, 상기 광전변환수단에서 발생한 신호전하를 배출하는 광전하배출수단과, 상기 광전변환수단에서 축적하는 신호전하량을 조정하는 전압을 상기 광전하배출수단에 인가하는 전압발생수단을 형성한 고체활상장치로서, 상기 전압발생수단은, 한쪽의 전극이 공통노우드에 접속된 복수의 용량과, 이를 용량의 다른 쪽의 전극이 접속되는 전위를 각각의 용량마다 절환하는 전위변경수단을 구비하고, 상기 공통노우드에 발생하는 전압에 따른 출력전압을 상기 전압발생수단으로부터 출력해서 상기 광전하배출수단에 입력하는 것을 특징으로 하는 고체활상장치.

##### 청구항 2

제1항에 있어서, 상기 용량의 개수가  $n$ 개이고, 이를 용량의 용량치가  $1 : 2 : 4 : \dots : 2^n$ 이 되도록 설정되어 있는 것을 특징으로 하는 고체활상장치.

##### 청구항 3

제1항에 있어서, 상기 용량의 개수가  $n+2m$ 개이며, 그중,  $n$ 개의 용량의 용량치가  $1 : 2 : 4 : \dots : 2^n$ 이 되도록 설정되고,  $2m$ 개의 용량은  $m$ 증류의 용량치의 용량을 2조 구비한것이며, 상기  $m$ 증류의 용량치가  $1 : 2 : 4 : \dots : 2^m$ 이 되도록 설정되는 것을 특징으로하는 고체활상장치.

##### 청구항 4

제1항에 있어서, 상기 전위변경수단이, 퓨즈를 절단하는지 여부에 따라서 각 용량의 전극이 접속되는 전위를 절환하는 것임을 특징으로 하는 고체활상장치.

##### 청구항 5

제4항에 있어서, 상기 전위변경수단이, 퓨즈와 저항을 사용해서 구성되어 있는 것을 특징으로하는 고체활상장치.

##### 청구항 6

제4항에 있어서, 상기 전위변경수단이, 퓨즈와 트랜지스터를 사용해서 구성되어 있는 것을 특징으로 하는 고체활상장치.

##### 청구항 7

제6항에 있어서, 상기 트랜지스터가 디플리션타입이며, 상기 트랜지스터의 게이트전위와 소스 전위가 동등하게 되어 있는 것을 특징으로 하는 고체활상장치.

##### 청구항 8

제6항에 있어서, 상기 트랜지스터가 인한스먼트타입이며, 상기 트랜지스터의 게이트전위가 소스전위보다 소정전압만큼 높게되어 있는 것을 특징으로 하는 고체활상장치.

##### 청구항 9

제1항에 있어서, 상기 용량을 형성하는 1쌍의 전극총증, 기판에 가까운 쪽의 전극총이 상기전위변경수단을 개재해서 소정의 전위에 접속되어 있는 것을 특징으로 한느 고체활상장치.

##### 청구항 10

반도체기판상에 광전변환에 의해 신호전하를 발생하는 광전변환수단과, 상기 광전변환수단에서 발생한 신호전하를 배출하는 광전하배출수단과, 상기 광전변환수단에서 축적하는 신호전하량을 조정하는 전압을 상기 광전하배출수단에 인가하는 전압발생수단을 설치하고, 상기 전압발생수단은 한쪽의 전극이 공통노드에 접속된 복수의 용량과, 이를 용량의 다른 쪽의 전극이 접속되는 전위를 각각의 용량마다 절환하는 전위변경수단을 구비하고, 상기 공통노드에 발생하는 전압에 따른 출력전압을 상기 전압발생수단으로부터 출력해서 상기 광전하배출수단에 입력하는 고체활상장치의 검사방법으로서, 외부로부터 부여하는 전압발생수단에 따라서 상기 복수의 용량의 전극이 접속되는 전위를 각각의 용량마다 절환하고, 상기 전압발생수단을 순차 변화시키므로서 상기 버퍼앰프의 출력전압을 단계적으로 변화시키고, 상기 출력전압이 최적치가 되었을 때의 전압발생수단을 기억해두고, 다음에, 기억한 전압발생수단에 의거해서, 출력전압의 최적치를 정상적으로 얻을 수 있도록 상기 전위변경수단을 제어하는 것을 특징으로 하는 고체활상장치의 검사방법.

##### 청구항 11

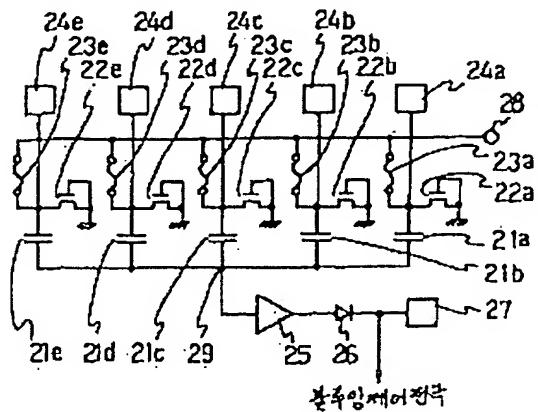
제10항에 있어서, 상기 출력전압이 최적치가 되었을 때의 바이너리코드와 동일한 바이너리코드를 부여해서 상기 전위변경수단을 제어하는 것을 특징으로 하는 고체활상장치의 검사방법.

## 청구항 12

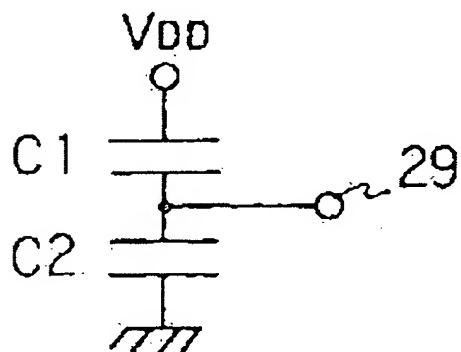
제10항에 있어서, 상기 출력전압이 최적치가 되었을 때의 바이너리코드의 복수(複數)의 바이너리코드를  
부여해서 상기 전위변경수단을 제어하는 것을 특징으로 하는 고체활성장치의 검사방법.

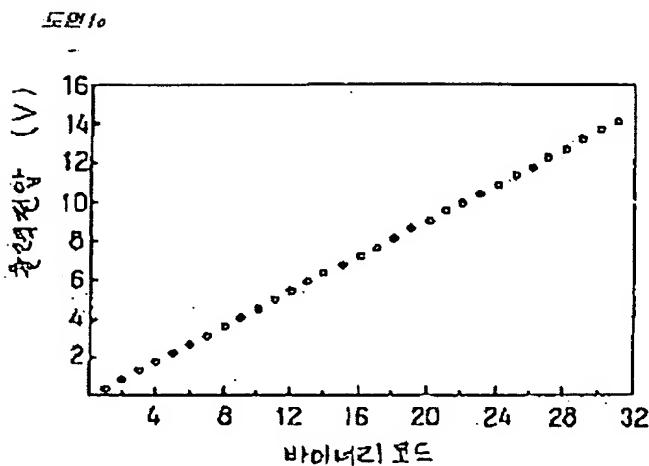
도면

도면 1a

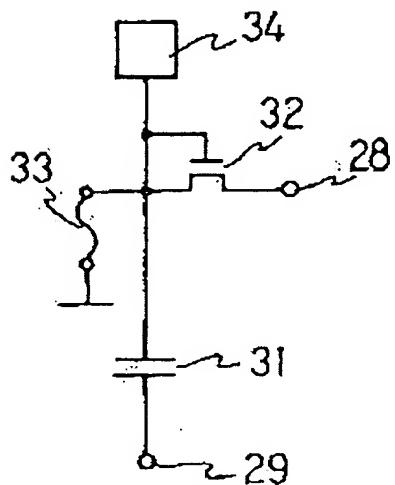


도면 1b

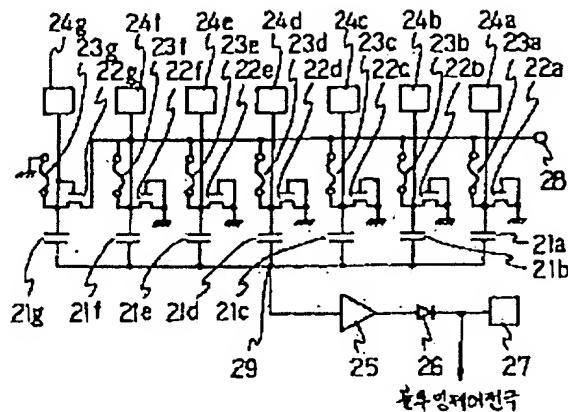




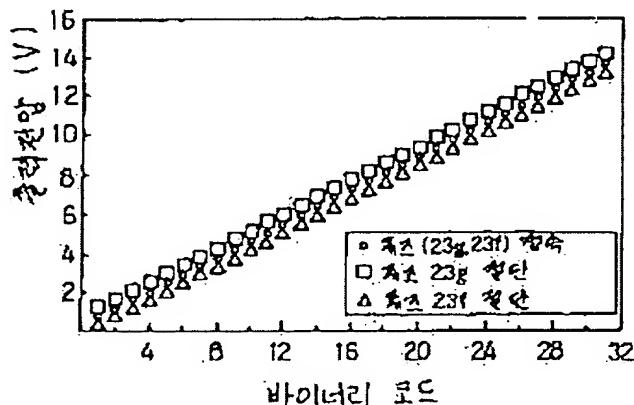
도면 11



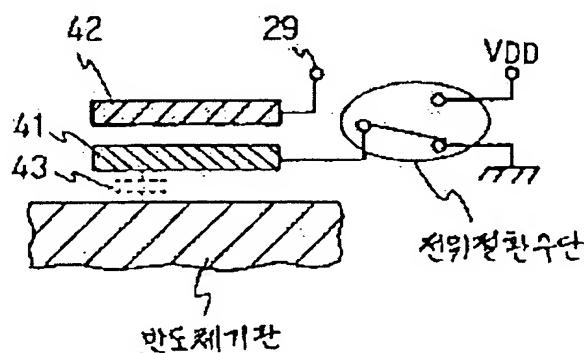
도면3a



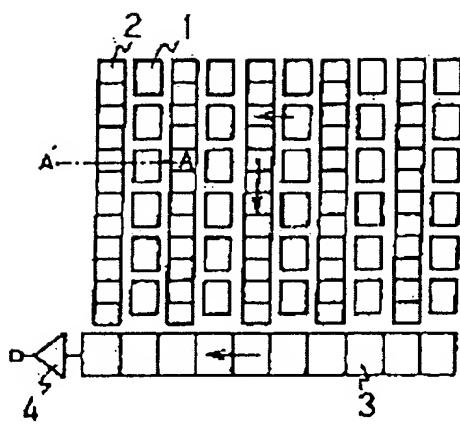
도면3b



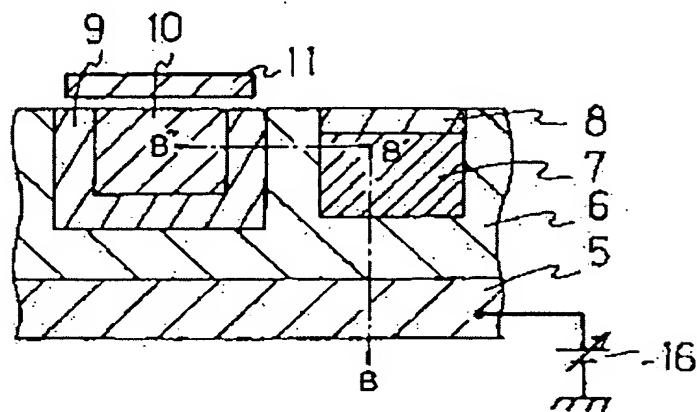
도면4



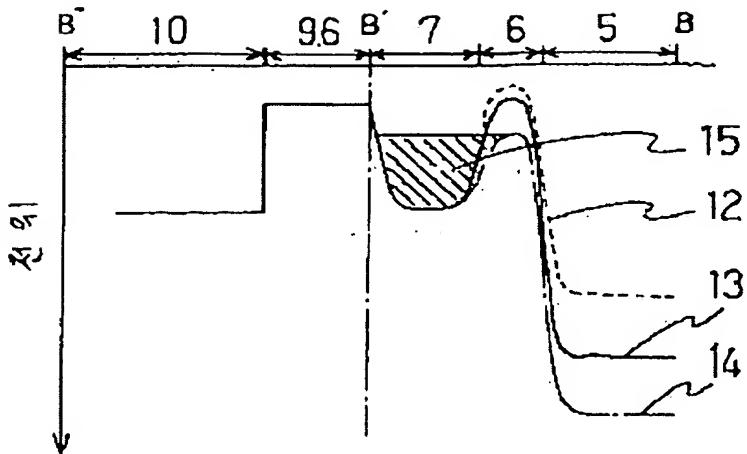
도면5a



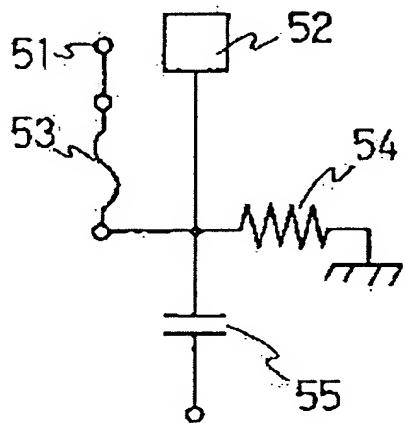
도면5b



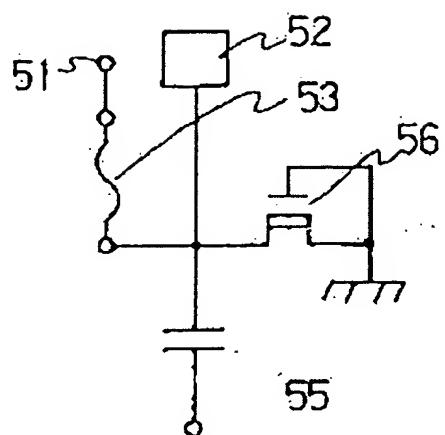
도면50



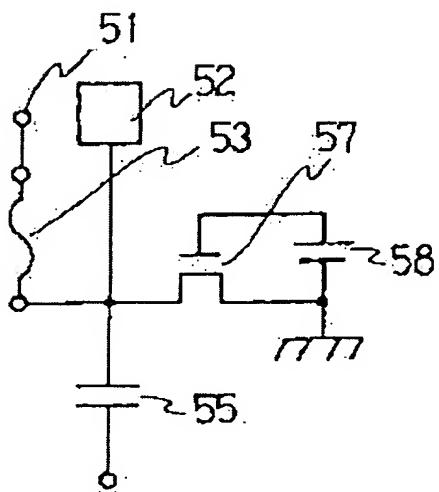
도면51



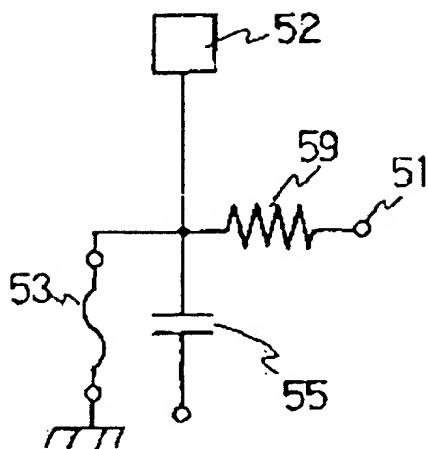
527



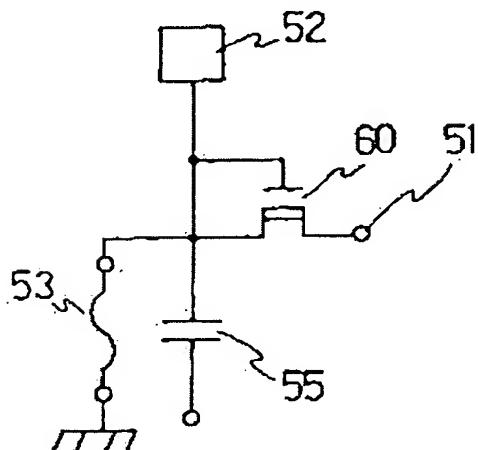
528



도면9



도면10



도면 11

